

应用于中高速 SAR ADC 的低功耗少开关开关方法

王浩, 谢文明, 蔡思静, 郑少锋

(福建工程学院 信息科学与工程学院, 福建 福州 350118)

摘要: 提出一种应用于中高速逐次逼近型模数转换器(successive approximation register analog-to-digital converter, SAR ADC)的低功耗开关方法,该开关方法不需要额外的基准产生电路,并且需要的开关数量最少。使用重置序列(0 1...1)而不是(1 1...1)可以使得第2个位转换周期消耗的开关能量为0。为了进一步降低功耗,参考电容C使用C/2(两个C串联)并联来实现,这样所需要的C的数量又减少了将近一半,开关功耗又减少了一半。在同样的开关数量下,提出的开关方法消耗开关能量和需要的电容面积最小。

关键词: 低功耗;少开关;开关方法;SAR ADC

中图分类号: TN43

文献标志码: A

文章编号: 1672-4348(2016)06-0593-04

Low-power consumption switching scheme with reduced switches for medium-or high-speed SAR ADCs

Wang Hao, Xie Wenming, Cai Sijing, Zheng Shaofeng

(College of Information Science and Engineering, Fujian University of Technology, Fuzhou 350118, China)

Abstract: A low-power switching scheme for medium-or high-speed successive approximation register analog-to-digital converter (SAR ADCs) was proposed, which requires the fewest switches but does not need extra reference generation circuit. By resetting series (0 1...1) rather than (1 1...1), no switching energy was consumed during the second bit cycle. To further reduce the switching energy, C was realized by two C/2 in parallel where C/2 is two Cs in series. The required number of C and the switching energy were nearly reduced by half. The results indicate that the proposed switching method is the most energy-efficient and area-efficient with the fewest switches.

Keywords: low-power; reduced switch; switching scheme; successive approximation register analog-to-digital converter (SAR ADCs)

采样速率在几 MS/s~几十 MS/s,精度在8位~10位的高能效 ADC 在数据通信、成像技术和视频系统中需求量很大。SAR ADC 没有预放大器,不会消耗静态能量,可以很容易达到轨到轨的信号摆幅。这意味着,很小的采样电容就可以产生很高的信噪比(signal-noise ratio, SNR)。随着 CMOS 工艺的不断改进,SAR ADC 的转换速度和

功耗越来越小。所以,在几十 MS/s 应用场合,SAR ADC 得到了广泛应用。

在 SAR ADC 中,功耗主要来源于3个方面:比较器、SAR 控制逻辑电路和数模转换器(digital-to-analog converter, DAC)电容网络。随着工艺的改进和电源电压的降低,SAR 控制逻辑电路的功耗不断降低;比较器一般采用动态比较器,因为它

收稿日期: 2016-09-07

基金项目: 福建工程学院科研启动基金(GY-Z160057);福建省教育厅资助项目(JAT160332, JAT160314, JA06031)

第一作者简介:王浩(1987-),男,山东滕州人,讲师,博士,研究方向:模拟及混合信号集成电路设计。

不消耗静态能量,并且它的功耗与采样频率成正比。因此,SAR ADC 的主要功耗来源于 DAC 电容网络。近年来,人们提出一些 DAC 电容网络的高能效开关方法^[1-6]。和传统结构 SAR ADC 开关方法相比,单调结构开关方法^[1]、基于 V_{CM} 的开关方法^[2]、三电平结构开关方法^[3]、电荷均值结构开关方法^[4]、Sanyal & Sun 三电平结构方法^[5]和混合三电平结构开关方法^[6]开关能量分别减少 81.2%, 87.52%, 96.89%, 93.50%, 98.43% 和 98.83%。其中,三电平结构开关方法^[3]、Sanyal & Sun 三电平结构开关方法^[5]和混合三电平结构开关方法^[6]需要 3 个参考电平。但是 3 个电平就需要基准产生电路,需要消耗大量的能量,因为基准产生电路的输出电阻要求必须很小^[2]。与基准产生电路相比,开关方法消耗的能量只是很小部分,尤其在高速情况下^[7]。并且 3 个参考电平需要更多的开关进行控制,这会导致控制电路更复杂。单调结构开关方法^[1]和电荷均值结构开关方法^[4]不需要第 3 个参考电平,但是所消耗的开关能量很大,主要是因为单调结构开关方法只有第 1 位转换不消耗能量,并且参考电容并没有得到充分利用;电荷均值结构开关方法需要更多的开关和传输门,这导致更复杂的数字控制电路。本文提出了一种高能效、少开关的开关方法,并且该开关方法只需要两个参考电压 V_{REF} 和地。

1 低功耗、少开关的开关方法

3 位两电平高能效结构开关方法如图 1 所示。在采样阶段,和单调结构开关方法^[1]一样,采用上极板采样,但是最大电容下极板重置到地,其余电容的下极板重置到 V_{REF} 。紧接着,采样开关打开,进行第 1 次比较,得到了最高有效位 (most significant bit, MSB),并没有消耗任何开关能量。接下来,根据 MSB,输入电压小的一端 DAC 电容网络中的最大电容从地切换到 V_{REF} ,但是该周期并没有消耗开关能量。通过第 2 次比较,得到了次高有效位 MSB-1。其余数字码的产生过程和单调结构开关方法一样,比较器输入电压较大的一端对应的电容参考电压从 V_{REF} 切换到地,其余电容保持不变,直到获得最低有效位 (least significant bit, LSB)。

该方法前两位转换周期消耗的能量为 0,并且参考电容 C 变为两个 C/2 (两个 C 串联) 并联

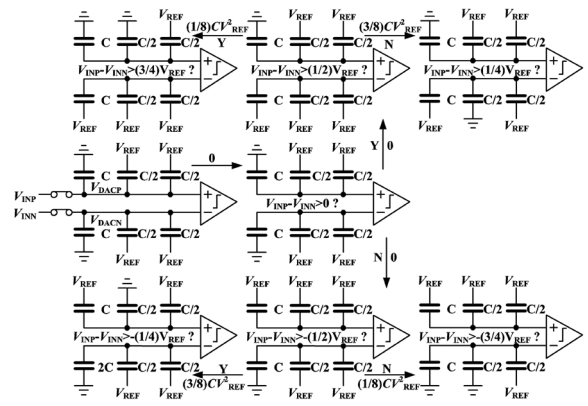


图 1 3 位开关方法

Fig.1 The proposed 3-bit switching scheme

来实现。与单调结构开关方法相比,该方法需要的开关能量和 C 的数量大幅度减少。本文提出的开关方法和单调开关方法需要的开关数量一样少,这导致数字控制电路简单、容易实现。

本文提出的开关方法的逐次逼近波形见图 2。很明显,该方法在前两位转换周期 DAC 输出共模电压由 $\frac{1}{2}V_{REF}$ 上升到 $\frac{3}{4}V_{REF}$, 剩余数字码转化周期由 $\frac{3}{4}V_{REF}$ 逐次下降到 $\frac{1}{2}V_{REF}$, 这可以减少由共模电压变化引起的比较器输入动态失调电压。

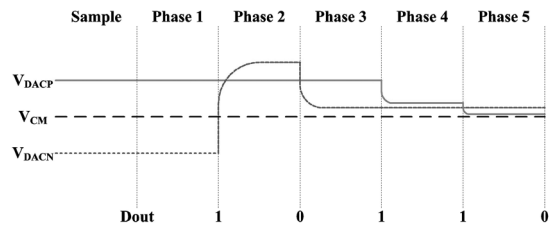


图 2 开关方法逐次逼近波形

Fig.2 Successive approximation waveform of the proposed switching scheme

2 开关能耗分析

降低 DAC 电容网络的开关能量的关键在于减少前几个数字码转换周期的能量消耗,因为它们消耗的能量比重最大。在采样阶段,提出的开关方法要求 DAC 电容网络电容下极板重置为 (0 1...1), 即最大电容接地,其余电容接 V_{REF} 。使用该重置序列而不是 (1 1...1) 的具体原因如图 3 所示。假设,刚开始,所有的电容已经充分放电。如

图 3(a) 所示, C 下极板电压由 V_{REF} 切换到地消耗 $\frac{1}{2}CV_{REF}^2$ 能量; 而 C 下极板电压由地切换到 V_{REF} 并没有产生能量消耗, 如图 3(b)。

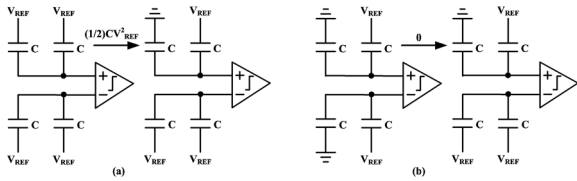


图 3 MSB-1 转换周期能量消耗

Fig.3 Switching energy consumption during MSB-1 bit cycle

为了进一步减小开关能量, 参考电容 C 需要充分利用。把 C 拆分成两个 C/2 并联, 而每一个 C/2 由两个 C 串联组成见图 4。

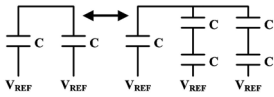


图 4 C 拆分等效电路

Fig.4 Component equivalent circuit of C

假设每一个数字输出码等概率出现, 对于 N 位 SAR ADC 来讲, 开关方法消耗的平均开关能量可以表示为

$$E_{avg} = \left(\sum_{i=3}^N 2^{N-2-i} \right) CV_{REF}^2 \quad (N \geq 3). \quad (1)$$

表 1 不同两电平结构开关方法性能比较

Tab.1 Comparison of switch performances between two-level switch schemes

开关方法	平均开关能量(CV_{REF}^2)	节约能量	C 数量	节约电容面积	开关数量	节约开关
单调结构 ^[1]	255.5	reference	1 024	reference	40	reference
电荷均值结构 ^[4]	88.6	65.32%	1 024	0	112	-180%
本文提出的结构	64.0	74.95%	518	49.41%	40	0

3 线性分析

根据公式(1), 为了得到更低的开关能量, C 的值应该尽可能地小。实际上, C 的大小主要由热噪声和电容失配决定。对于二进制权重的 DAC 网络来讲, 主要由失配决定。为了分析 DAC 电容网络的静态特性, 每一个电容都建模成均值

对于 10 位 SAR ADC 来讲, 该开关方法消耗 $64 CV_{REF}^2$, 而传统结构开关方法需要消耗平均开关能量 1 363.3 CV_{REF}^2 , 相对而言, 笔者提出的开关方法减少了 95.31%。而单调结构开关方法^[1]和电荷均值结构开关方法^[4]消耗开关能量分别减少了 81.26% 和 93.5%。图 5 表示不同结构开关方法所消耗的开关能量和数字输出码之间的关系。很明显, 本文提出的开关方法在不需要基准产生电路的开关方法中消耗平均能量最少的。

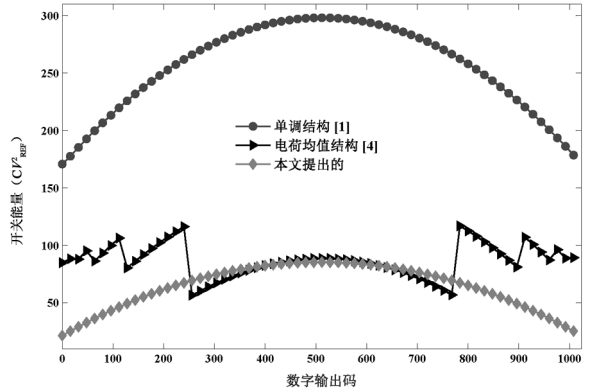


图 5 不同结构开关方法消耗开关能量

Fig.5 Switching energy consumption among different schemes

本文提出的开关方法和文献[1, 4]的性能, 包括开关能量、C 的数量和开关数量, 进行比较(见表 1)。与单调结构相比, 在同样开关数量的条件下, 开关能量和电容面积分别减少了 74.95% 和 49.41%, 都是最少的。

和误差之和:

$$C_i = 2^{i-2}C_u + \delta_i (i = 1 \sim N - 1)$$

$$C_0 = C_1,$$

其中, C_u 为 C 的均值, δ_i 为 C_i 的误差。为了简化, 把两个 C 串联等效于 C/2。

考虑到电容的误差是独立同分布的高斯变量, 它的方差为

$$E(\delta_i^2) = 2^{i-2} \sigma_u^2,$$

其中 σ_u 为 C 的误差。

假设 DAC 电容网络没有初始电荷, 则 SAR ADC 的线性由 DAC 输出电压决定。DAC 的模拟输出电压可以表示为

$$V_{\text{DAC}}(y) = (V_{\text{INP}} - V_{\text{INN}}) - \frac{\sum_{i=1}^{N-1} (2^{i-2} C_u + \delta_i) D_i - \sum_{i=1}^{N-1} (2^{i-2} C_u + \delta_i) \overline{D}_i}{2^{N-2} C_u + \sum_{i=0}^{N-1} \delta_i} V_{\text{REF}},$$

其中 y 为数字输出码 ($D_{N-1} \cdots D_0$) 的十进制数值, 与 $2^{N-2} C_u$ 相比 $\sum_{i=1}^{N-1} \delta_i$ 可以忽略。减去其均值可以得到误差为

$$V_{\text{DAC, err}}(y) = V_{\text{DAC}}(y) - V_{\text{DAC, ideal}}(y) = - \frac{\sum_{i=1}^{N-1} \delta_i D_i - \sum_{i=1}^{N-1} \delta_i \overline{D}_i}{2^{N-2} C_u} V_{\text{REF}}, \quad (2)$$

其中, $V_{\text{DAC, ideal}}(y)$ 为 y 对应的 DAC 输出电压均值。

忽略增益误差, 微分非线性 (differential non-linearity, DNL) 定义为相邻两次 DAC 输出电压误差的差值, 可以表示为

$$V_{\text{DNL}}(y) = V_{\text{DAC, err}}(y) - V_{\text{DAC, err}}(y-1).$$

V_{DNL} 最大值发生在 $\frac{1}{4} V_{\text{REF}}$ 和 $\frac{3}{4} V_{\text{REF}}$ 处, 因为 MSB 通

过比较输入信号的正负得到的, 并没有引起电容状态的变化。方差为

$$E[V_{\text{DNL}}^2(2^{N-2})] = E\left[\left(\frac{\delta_{N-1} - \sum_{i=1}^{N-2} \delta_i}{2^{N-2} C_u} V_{\text{REF}}\right)^2\right] \approx 2^N \left(\frac{\sigma_u}{C_u}\right)^2 (V_{\text{LSB}})^2,$$

其中, $V_{\text{LSB}} = 2 \frac{V_{\text{REF}}}{2^N}$ 。

V_{DNL} 最大值的标准差可以表示为

$$\sigma_{V_{\text{DNL, MAX}}} = 2^{N/2} \frac{\sigma_u}{C_u} (V_{\text{LSB}}). \quad (2)$$

同样的方法分析单调结构开关方法的 SAR ADC 的非线性, 得到其 DNL 最大值的标准差与方程 (2) 相同, 由此可知, 减小开关能量并没有增加对电容匹配度的要求。

4 结论

本文提出了一种低功耗少开关的开关方法。与单调结构开关方法相比, 在没有增加开关数量的条件下, 开关功耗和所需要的单位电容数量分别减少了 74.95% 和 49.41%, 但是对电容的匹配要求没有增加。因此, 本文提出的开关方法功耗低, 并且需要的 C 和开关数量少, 适合中高速 SAR ADC 的应用。

参考文献:

- [1] Liu C C, Chang S J, Huang G Y, et al. A 10-bit 50-MS/s SAR ADC with a monotonic capacitor switching procedure[J]. IEEE Journal of Solid-State Circuits, 2010, 45(4): 731-740.
- [2] Zhu Y, Chan C H, Chio U, et al. A 10-bit 100-MS/s reference-free SAR ADC in 90 nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2010, 45(6): 1111-1121.
- [3] Yuan C, Lam Y. Low-energy and area-efficient tri-level switching scheme for SAR ADC[J]. Electronics Letters, 2012, 48(9): 482-483.
- [4] Liou C Y, Hsieh C C. A 2.4-to-5.2 fJ/conversion-step 10b 0.5-to-4MS/s SAR ADC with charge-average switching DAC in 90nm CMOS[C]// IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2013: 280-281.
- [5] Sanyal A, Sun N. SAR ADC architecture with 98% reduction in switching energy over conventional scheme[J]. Electronics Letters, 2013, 49(4): 248-250.
- [6] Xie L, Wen G, Liu J, et al. Energy-efficient hybrid capacitor switching scheme for SAR ADC[J]. Electronics Letters, 2014, 50(1): 22-23.
- [7] Cao Z, Yan S, Li Y. A 32 mW 1.25 GS/s 6b 2b/Step SAR ADC in 0.13 μm CMOS[J]. IEEE Journal of Solid-State Circuits, 2009, 44(3): 862-873.

(特约编辑: 黄家瑜)